

PAT-NO: JP359111350A  
DOCUMENT-IDENTIFIER: JP 59111350 A  
TITLE: SEMICONDUCTOR DEVICE  
PUBN-DATE: June 27, 1984

INVENTOR-INFORMATION:

NAME

SAEKI, KEIJI  
MURAKAMI, SHUICHI  
KUDO, SHINICHI

ASSIGNEE-INFORMATION:

NAME

MATSUSHITA ELECTRIC IND CO LTD

COUNTRY

N/A

APPL-NO: JP57221418

APPL-DATE: December 16, 1982

INT-CL (IPC): H01L025/00

US-CL-CURRENT: 29/832, 438/FOR.378

ABSTRACT:

PURPOSE: To manufacture the semiconductor device of high part mounting-density by forming an electronic circuit to a substrate with a recessed section, on which a semiconductor element is loaded, and a cap formed so as to seal the recessed section of the substrate.

CONSTITUTION: Resistor paste is printed on the alumina multilayer substrate  
1 with an external conductor 2 connected to an internal conductor 3 by pin holes 4 and the recessed section 6, on which the semiconductor element 8 is loaded, through screen printing, dried and baked, and resistors 5 are formed.  
The semiconductor element 8 is bonded with a gold pad 7, and wire-

bonded by  
gold wires 9 in  $30\mu\text{m}$ . The cap 10 for airtight sealing with an Ag-Pd  
conductor 11 formed by printing Ag-Pd paste on the alumina substrate,  
drying  
the paste and baking it is bonded with the alumina multilayer  
substrate 1 by  
low melting-point glass 12, and sealed in an airtight manner. A chip  
capacitor  
13 is fitted in order to connect the conductor 11 of the cap 10 and  
the  
external conductor 2 of the alumina multilayer substrate 1, and  
bonded with  
solder 14.

COPYRIGHT: (C)1984, JPO&Japio

⑨ 日本国特許庁 (JP)

⑩ 特許出願公開

⑫ 公開特許公報 (A)

昭59—111350

⑪ Int. Cl.<sup>3</sup>  
H 01 L 25/00

識別記号

庁内整理番号  
7638—5F

⑬ 公開 昭和59年(1984)6月27日

発明の数 1  
審査請求 未請求

(全 3 頁)

⑭ 半導体装置

門真市大字門真1006番地松下電  
器産業株式会社内

⑯ 特 願 昭57—221418

⑰ 発 明 者 工藤慎一

⑱ 出 願 昭57(1982)12月16日

門真市大字門真1006番地松下電  
器産業株式会社内

⑲ 発 明 者 佐伯啓二

⑳ 出 願 人 松下電器産業株式会社

門真市大字門真1006番地松下電  
器産業株式会社内

門真市大字門真1006番地

㉑ 発 明 者 村上修一

㉒ 代 理 人 弁理士 中尾敏男 外1名

明 細 書

1、発明の名称

半導体装置

2、特許請求の範囲

(1) 半導体素子を搭載する凹部を有する基板と、  
この基板の凹部を密閉するよう形成されたキャッ  
プとからなり、前記キャップに電子回路を形成し  
た半導体装置。

(2) 凹部を有する基板は、セラミック多層基板で  
ある特許請求の範囲第1項記載の半導体装置。

(3) キャップ上に厚膜回路が形成され、さらにチ  
ップ部品を載置した特許請求の範囲第1項又は第  
2項記載の半導体装置。

3、発明の詳細な説明

産業上の利用分野

本発明は、ラジオ、テレビ、ビデオテープレコ  
ーダ等に適用できる半導体装置に関するものであ  
る。

従来例の構成とその問題点

従来の半導体装置は、たとえば第1図の如きセ

ラミック多層基板1に厚膜抵抗6を形成したのち、  
半導体素子8を搭載し、さらにチップコンデンサ  
ー13を半田14で接合した後、樹脂16で封止  
を行っていた。又、第2図の気密封止型半導体  
装置の場合は、セラミック多層基板1に半導体素  
子8を搭載し、半導体素子の内部電極とセラミッ  
ク多層基板の外部電極を金線等の金属細線9を用  
いてボンディングし、しかる後、アルミナ、ペリ  
リア等のセラミックからなるキャップ10をガラ  
ス、樹脂等の接着剤12で封止したもの又は、金  
属キャップを、金属ロー材、溶接等で封止したも  
のであった。しかしながら、従来の半導体装置に  
おいて、第1図のような装置では、半導体素子を  
搭載し、さらに樹脂封止を行なうさいに樹脂の流  
出を考慮して広い占有面積を確保しなければなら  
なかった。そのために、基板上に部品を実装する  
密度があがらない、あるいは、半導体素子の信頼  
性に欠ける等の問題があった。又第2図のような  
装置では、気密封止にしているため、半導体素子  
の信頼性は、第1図の装置より優れているが、部

品の実装密度があがらない欠点を有していた。

#### 発明の目的

本発明の目的は、上記欠点に鑑み、気密封止型の半導体装置において、部品実装密度の高い半導体装置を提供するものである。

#### 発明の構成

本発明は、半導体素子を搭載する凹部を有する基板と、この基板の凹部を密閉するよう形成されたキャップからなり、前記キャップに電子回路を形成した半導体装置であり、前記キャップに、電子回路を形成しているために、部品実装密度が向上する特長を有するものである。さらに好ましくは前記凹部を有する基板はセラミック多層基板とし、または前記キャップ上に厚膜回路を形成し、さらにチップ部品を載置した半導体装置である。

#### 実施例の説明

以下本発明の一実施例について、図面を参照しながら説明する。第3図は、本発明の一実施例における断面図を示すものである。

内部導体3とビヤホール4で接続された外部導

体2と半導体素子8を搭載する凹部6を有する公知の方法で製造された基板としてのアルミナ多層基板1に、抵抗体ペースト( $\text{RuO}_2$ )をスクリーン印刷で印刷し、130℃、10分間乾燥した後、ピーク温度850℃、10分間焼成し抵抗体5を形成する。次に半導体素子8を金パッド7に熱圧着により接合し、30μmの金線9によりワイヤーボンディングを行なう。さらに、アルミナ基板にAg-Pdペーストをスクリーン印刷により印刷し、130℃、10分間乾燥し、ピーク温度850℃、10分間焼成して形成されたAg-Pd導体11を有する気密封止用キャップ10を前記アルミナ多層基板1に、低融点ガラス12で接合し、気密封止を行なう。

さらに、キャップ10の導体11とアルミナ多層基板1の外部導体2を接続させるためにチップコンデンサー13を装着し、半田14により接合を行なう。

なお、キャップ10の導体11とアルミナ多層基板1の外部導体2を接続する部品としては、金

属製のジャンパー部品又は、挿入用リードを有しない部品、例えば、ミニモールドトランジスター、ダイオード、ミニフラットバックI、C等でもよく、チップコンデンサーに限定するものではない。

又、気密封止用キャップ10上に形成された導体11とアルミナ多層基板1の外部導体2とは必ずしも接続する必要はなく第4図における他の実施例の如くキャップ10上で独立の電子回路を形成してもよく、気密封止用キャップ10の導体11とアルミナ多層基板1の外部導体2とを接続することに限定するものではない。

#### 発明の効果

以上のように、本発明は、基板に設けた凹部を密閉するキャップに電子回路を形成するために部品の実装密度があがり、極めて実装密度向上に寄与するものであり、その実用的効果は大なるものである。

#### 4、図面の簡単な説明

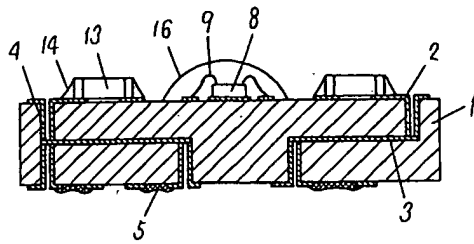
第1図及び第2図は、従来の半導体装置の断面図、第3図は、本発明の一実施例の半導体装置の

断面図、第4図は、本発明の他の実施例を示す断面図である。

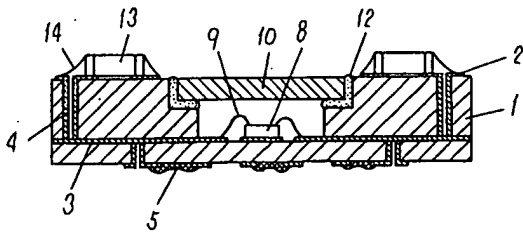
1……セラミック多層基板、2……外部導体、3……内部導体、4……ビヤホール、5……厚膜抵抗、6……半導体素子搭載用凹部、7……金パッド、8……半導体素子、9……金線、10……キャップ、11……Ag-Pd導体、12……低融点ガラス、13……チップコンデンサー、14……半田、15……ミニモールドトランジスター、16……樹脂。

代理人の氏名 弁理士 中 尾 敏 男 ほか1名

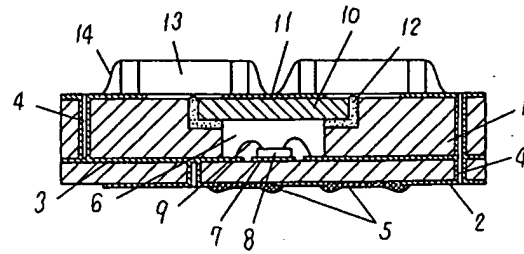
第 1 図



第 2 図



第 3 図



第 4 図

